

(8) Japanese Patent Application Laid-Open No. JP61-67130 (1986) (corresponding to
USP4,748,581)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-67130

⑬ Int. Cl.⁴

G 06 F 7/552

識別記号

庁内整理番号

7056-5B

⑭ 公開 昭和61年(1986)4月7日

審査請求 未請求 発明の数 3 (全6頁)

⑮ 発明の名称 デジタル平開回路

⑯ 特 願 昭60-197480

⑰ 出 願 昭60(1985)9月6日

優先権主張 ⑱ 1984年9月7日 ⑲ オランダ(NL) ⑳ 8402740

㉑ 発 明 者 ニコラス・コルネリ オランダ国5621 ベーアー アインドーフエン フルーネ
ス・デ・トロイ ヴァウツウエツハ1

㉒ 出 願 人 エヌ・ペー・フィリッ オランダ国5621 ベーアー アインドーフエン フルーネ
ブス・フルーイランベ
ンフアブリケン

㉓ 代 理 人 弁理士 杉村 曉秀 外1名

明 細 書

1. 発明の名称

デジタル平開回路

2. 特許請求の範囲

1. 各々第1及び第2データ入力端子、制御入力端子、桁上げ信号入力端子、桁上げ信号出力端子及び和信号出力端子を有する多数の可制御論理加算/減算セル(CASセル)から成る、ビット重みが-1から-2nへ減少する2nビットの2進数の平方根を求める、即ち平開するデジタル平開回路であって、n個のサブ回路を具え、その第m番サブ回路はm+1個のCASセルを具え(ここで $1 \leq m \leq n$)、所定の重みのビット信号を処理するCASセルの桁上げ信号出力端子を次の高い重みのビット信号を処理するCASセルの桁上げ信号入力端子に接続し、第m番サブ回路内の重み-mを有する信号を処理するCASセルの桁上げ信号出力端子をもって当該平開回路の重み-mを有する出力ビット用の第m番出力端

子を構成し、第m番サブ回路内の第(m-i)番CASセルの第1データ入力端子を当該平開回路の第(m-i)番出力端子に接続し(ここで $1 \leq i \leq m$)、第m番サブ回路内の第(m-i)番CASセルの第2データ入力端子を第(m-1)番サブ回路内の第m番CASセルの和信号出力端子に接続し(ここで $1 \leq i \leq m$)、第m番サブ回路内のCASセルのうち少なくとも、その第2データ入力端子が第(m-1)番サブ回路のCASセルの和信号出力端子に接続されたCASセルの制御入力端子を当該平開回路の第(m-1)番出力端子に接続し、第m番サブ回路の第m番及び第m+1番CASセルはそれらの第2データ入力端子にそれぞれ重み-2m+1及び-2mを有するビット信号を受信し、且つこの第m+1番セルの制御入力端子はその桁上げ信号入力端子に接続して成る平開回路において、第m番サブ回路の各々において重み-2m+1及び-2mを有するビット信号を処

理する2個のCASセルはそれらの第1データ入力端子に2進値1を、それらの制御入力端子に2進値0を受信するようにしたことを特徴とするデジタル平開回路。

2. 各々第1及び第2データ入力端子、制御入力端子、桁上げ信号入力端子、桁上げ信号出力端子及び和信号出力端子を有する多数の可制御論理加算/減算セル(CASセル)から成る、ビット重みが-1から-2へ減少する 2^n ビットの2進数の平方根を求める、即ち平開するデジタル平開回路であって、 n 個のサブ回路を具え、その第 m 番サブ回路は m 個のCASセルを具え(ここで $1 \leq m \leq n$)、所定の重みのビット信号を処理するCASセルの桁上げ信号出力端子を次の高い重みのビット信号を処理するCASセルの桁上げ信号入力端子に接続し、第 m 番サブ回路内の重み $-m$ を有する信号を処理するCASセルの桁上げ信号出力端子をもって当該平開回路の重み $-m$ を有する出力ビット用の第 m 番出力端

子に重み $-2m$ を有するビット信号を受信するインバータを具え、該インバータの出力端子を第 m 番サブ回路の第 m 番CASセルの桁上げ信号入力端子及び第 $(m+1)$ 番サブ回路の第 m 番CASセルの第2データ入力端子に接続したことを特徴とするデジタル平開回路。

3. 各々第1及び第2データ入力端子、制御入力端子、桁上げ信号入力端子、桁上げ信号出力端子及び和信号出力端子を有する多数の可制御論理加算/減算セル(CASセル)から成る、ビット重みが-1から-2へ減少する 2^n ビットの2進数の平方根を求める、即ち平開するデジタル平開回路であって、 n 個のサブ回路を具え、その第 m 番サブ回路は $m-2$ 個のCASセルを具え(ここで $3 \leq m \leq n$)、所定の重みのビット信号を処理するCASセルの桁上げ信号出力端子を次の高い重みのビット信号を処理するCASセルの桁上げ信号入力端子に接続し、第 m 番サブ回路内の重み

子を構成し、第 m 番サブ回路内の第 $(m-i)$ 番CASセルの第1データ入力端子を当該平開回路の第 $(m-i)$ 番出力端子に接続し(ここで $1 \leq i \leq m$)、第 m 番サブ回路内の第 $(m-i)$ 番CASセルの第2データ入力端子を第 $(m-1)$ 番サブ回路内の第 m 番CASセルの和信号出力端子に接続し(ここで $2 \leq i \leq m$)、第 m 番サブ回路内のCASセルのうち少なくとも、その第2データ入力端子が第 $(m-1)$ 番サブ回路のCASセルの和信号出力端子に接続されたCASセルの制御入力端子を当該平開回路の第 $(m-1)$ 番出力端子に接続し、第 m 番サブ回路の第 m 番CASセルはその第2データ入力端子に重み $-2m+1$ を有するビット信号を受信して成る平開回路において、第 m 番サブ回路の各々において重み $-2m+1$ を有するビット信号を処理するCASセルはその第1データ入力端子に2進値1を、その制御入力端子に2進値0を受信し、第 m 番サブ回路の各々は入力

$-m$ を有する信号を処理するCASセルの桁上げ信号出力端子をもって当該平開回路の重み $-m$ を有する出力ビット用の第 m 番出力端子を構成し、第 m 番サブ回路内の第 $(m-i)$ 番CASセルの第1データ入力端子を当該平開回路の第 $(m-i)$ 番出力端子に接続し(ここで $2 \leq i \leq m$)、第 m 番サブ回路内の第 $(m-i)$ 番CASセルの第2データ入力端子を第 $(m-1)$ 番サブ回路内の第 $(m-i+1)$ 番CASセルの和信号出力端子に接続し(ここで $2 \leq i \leq m$)、第 m 番サブ回路内のCASセルのうち少なくとも、その第2データ入力端子が第 $(m-1)$ 番サブ回路のCASセルの和信号出力端子に接続されたCASセルの制御入力端子を当該平開回路の第 $(m-1)$ 番出力端子に接続して成る平開回路において、第1サブ回路は第1及び第2論理セルを具え、他の全てのサブ回路は第1、第2及び第3論理セルを具え、各第3論理セルは入力端子が並列に接続されたANDゲ-

トと排他ORゲートを具え、第2サブ回路内の第3論理セルのANDゲートの出力端子を当該平開回路の第2出力端子とすると共に第3サブ回路の第1CASセルの制御入力端子に接続し、第mサブ回路内の第3論理セルのANDゲートの出力端子を第mサブ回路の第(m-2)CASセルの桁上げ信号入力端子に接続し、第mサブ回路内の第3論理セルの排他ORゲートの出力端子を第(m+1)サブ回路内の第(m-2)CASセルの第2データ入力端子に接続し、第mサブ回路内の第3論理セルのAND及び排他ORゲートの第1及び第2入力端子を第mサブ回路の第2論理セルの出力端子及び第(m-1)サブ回路の第1論理セルの出力端子に接続し、第iサブ回路の第1論理セルは重み -2^i を有するビット信号を受信するインバータのみを具え、該インバータの出力端子を第iサブ回路の第2論理セルの第1入力端子及び第(i+1)サブ回路内の第3論理セルのAND及び排他

ORゲートの入力端子に接続し($1 \leq i \leq n$)、第i番サブ回路の第2論理セルは重み -2^{i+1} を有するビット信号を受信するインバータと、ORゲートとANDゲートと排他ORゲートを具え、その両ORゲートは重み -2^i 及び -2^{i+1} の反転ビット信号を受信し、そのANDゲートは重み -2^i の反転ビット信号及び重み -2^{i+1} の非反転ビット信号を受信し、その排他ORゲートの出力端子は第(i+1)サブ回路の第(i-1)CASセルに接続し($i > 1$)、更にそのOR及びANDゲートの出力端子を第2論理セルの別のORゲートの入力端子に接続し、該ORゲートの出力端子を第iサブ回路の第3論理セルの各ゲートに接続したことを特徴とするデジタル平開回路。

3. 発明の詳細な説明

本発明は、各々第1及び第2データ入力端子、制御入力端子、桁上げ信号入力端子、桁上げ信号出力端子及び和信号出力端子を有する多数の可制

御論理加算/減算セル(CASセル)から成る、ビット重みが -1 から -2 へ減少する $2n$ ビットの2進数の平方根を求める、即ち平開するデジタル平開回路であって、 n 個のサブ回路を具え、その第m番サブ回路は $m+1$ 個のCASセルを具え(ここで $1 \leq m \leq n$)、所定の重みのビット信号を処理するCASセルの桁上げ信号出力端子を次の高い重みのビット信号を処理するCASセルの桁上げ信号入力端子に接続し、第m番サブ回路内の重み $-m$ を有する信号を処理するCASセルの桁上げ信号出力端子をもって当該平開回路の重み $-m$ を有する出力ビット用の第m番出力端子を構成し、第m番サブ回路内の第(m-i)番CASセルの第1データ入力端子を当該平開回路の第(m-i)番出力端子に接続し(ここで $1 \leq i \leq m$)第m番サブ回路内の第(m-i)番CASセルの第2データ入力端子を第(m-1)番サブ回路内の第m番CASセルの和信号出力端子に接続し(ここで $1 \leq i \leq m$)、第m番サブ回路内のCASセルのうち少なくとも、その第2データ入力端

子が第(m-1)番サブ回路のCASセルの和信号出力端子に接続されたCASセルの制御入力端子を当該平開回路の第(m-1)番出力端子に接続し、第m番サブ回路の第m番及び第m+1番CASセルはそれらの第2データ入力端子にそれぞれ重み -2^{m+1} 及び -2^m を有するビット信号を受信し、且つこの第m+1番セルの制御入力端子はその桁上げ信号入力端子に接続して成る平開回路に関するものである。

この種の平開回路は「Computer Arithmetic: Principles, Architecture and Design」Kai Hwang 著、John Wiley & Sons 発行、により既知である。この平開回路はこの本のチャプター11、セクション2(pp. 360 ~ 2)に開示されており、いわゆる可制御加算/減算セル(CASセル)で実現されており、このCASセルはこの本のチャプター2、セクション3(pp. 42 ~ 3)に開示されている。この平開回路の構成は前記の360 ~ 2頁に開示されているアルゴリズムに基づいており、このアルゴリズムに従うと平開回路内のいくつか

の位置で信号をC A Sセルに供給する前に反転する必要がある。しかし、信号を反転するのに必要とされるインバータ回路はC A Sセルのみを集積する場合に実現し得るC A Sセルの規則正しいパターンを乱す。このようにインバータ回路が必要とされ、これにより実現可能な規則正しい集積パターンが乱されることは極めて不利であることが確かめられた。

本発明の目的は、インバータ回路を必要とせず、C A Sセル以外の回路を必要としない平開回路を提供することにある。

この目的のために、本発明は上述した平開回路において、第 m 番サブ回路において重み $-2m+1$ 及び $-2m$ を有するビット信号を処理する2個のC A Sセルはそれらの第1データ入力端子に2進値1を、それらの制御入力端子に2進値0を受信させるようにしたことを特徴とする。本発明平開回路は2進数の平方根を求める(開く)のにインバータ回路や他の回路を必要としないため、本発明平開回路を半導体基板上に集積する際にC A

Sセルの極めて規則正しいパターンを得ることができる。

以下、図面につき本発明を詳細に説明する。

第1図に示す可制御加算/減算回路B O Aは既知の全加算回路F Aと排他O RゲートE O 1を含む。全加算回路F Aは第2及び第3排他O RゲートE O 2及びE O 3と、第1及び第2ANDゲートE 1及びE 2と、第1及び第2O RゲートO 1及びO 2を具える。回路B O Aは4つの信号 a_i , b_i , c_i 及び p を受信し、これら信号は処理すべき第1及び第2の2進信号、桁上げ信号及び制御信号をそれぞれ表わす。信号 p が論理"0"信号に等しいとき、回路B O Aは全加算回路として動作する。信号 p が論理"1"信号のときは、回路B O Aは減算回路として動作し、このとき信号 c_{i+1} 及び c_i は"ボローイン"及び"ボローアウト"を意味する。回路B O Aの入力信号と出力信号との関係は次の論理式で表わすことができる。

$$S_i = a_i \oplus (b_i \oplus p) \oplus c_i$$

$$c_{i+1} = (a_i + c_i) \cdot (b_i \oplus p) + a_i \cdot c_i$$

第2図は本発明による平開回路Wを示し、この回路はそれぞれ2個、3個、4個及び5個の可制御加算/減算セルB O Aを含む複数個のサブ回路S1, S2, S3及びS4から成る。図を明瞭とするために、各加算/減算回路B O A $_j$ ($1 \leq j \leq 4$; $i \leq j+1$)の信号入力端子及び出力端子を前記文献と同様に第1図に示すのと同じ位置及び向きに示してある。本発明では回路B O A $_{11}$, 21, 22, 32, 33, 43, 44, 54は入力端子 a_i に2進信号(-2の重みを有する)を、信号 b_i 用の入力端子に論理値"1"を有する2進信号を、信号 p 用の制御入力端子に論理値"0"を受信する。出力端子 q_1 , q_2 , q_3 及び q_4 は回路B O A $_{11}$, 12, 13及び14の桁上げ信号出力端子を構成すると共に平開回路Wの出力端子を構成する。

出力端子 $q_1 \sim q_4$ には回路Wに供給された2進数 $0.a_1a_2a_3a_4a_5a_6a_7a_8$ の平方根 $0.q_1q_2q_3q_4$ が得られる。

前記文献に記載されているように、2進数 $A = 0.a_1a_2a_3\cdots a_n$ の平方根を求めるとき第1処理

において数(0.)01が数の組 $0.a_1a_2$ から減算される。残り R_1 が正のとき、 $q_1=1$ で、2進数 $0.q_101$ が数の組 $0.R_1a_3a_4$ から減算される。残り R_1 が負のとき、 $q_1=0$ で、2進数 $0.q_111$ が数の組 $0.R_1a_3a_4$ に加算される。これから、第 K ステップにおいて2進数 A の平方根の第 K ビットを決定するのに次の計算が必要とされることが推論できる。

$q_k = 1$ の場合:

$$R_{k+1} = 0.R_k \cdot a_{2k+1} \cdot a_{2k+2} - 0.q_1q_2\cdots q_k \cdot 01$$

$q_k = 0$ の場合:

$$R_{k+1} = 0.R_k \cdot a_{2k+1} \cdot a_{2k+2} + 0.q_1q_2\cdots q_k \cdot 11$$

以上は、求められた平方根の最終ビット q_k に応じて加算又は減算を行う必要があることを意味する。しかし、第1の式($q_k=1$ 、従って減算を行う必要がある)は2の補数表示で

$$R_{k+1} = 0.R_k \cdot a_{2k+1} \cdot a_{2k+2} + 0.\overline{q_1}\overline{q_2}\cdots\overline{q_k} \cdot 11 \quad (q_k=1)$$

と書くことができる。更に、

$$R_{k+1} = 0.R_k \cdot a_{2k+1} \cdot a_{2k+2} + 0.q_1q_2\cdots q_k \cdot 11 \quad (q_k=0)$$

が成立する。

上記の2式から、サブ回路($k+1$)の2個の加

算/減算セルBOA(2k+2, 2k+3)はそれらの“b”信号入力端子に常に論理信号“1”を受信すると共に制御入力端子に常に論理信号“0”を受信するようにし(これらのセルBOAは常に加算にする必要がある)、サブ回路の残りの加算/減算セルBOAは前段のサブ回路Kからの(決定すべき平方根の)最終ビット q_k により制御されるようにすればよいことが理解される。

本発明2進平開回路においては加算/減算回路BOA_{21, 32, 43, 54}(第2図)はそれらの b_i 入力端子(第1図)に常に“1”を、それらのP入力端子及び c_i 入力端子(第1図)に常に“0”を受信する点に注意されたい。それらの排他ORゲートE01の出力は2進値“1”を出力する。このためそれらの排他ORゲートE02及びE03の各出力は、ゲートE02及びE03がそれぞれ2進値“1”及び2進値“0”(= c_i)を受信するので信号 \bar{a}_i を出力する。ORゲートE02の出力は \bar{a}_i であり、ANDゲートE2の出力は2進値“0”である。ANDゲートE1の出力は \bar{a}_i であるから、ORゲートE01の

あることを意味する。その結果、ゲートE02の出力は常に a_i であるから、 a_i を排他ORゲートE03に直接供給すればゲートE02を省略することができる。また、ゲートE01の出力が常に“0”であるから、ANDゲートE1はその出力を2進値“0”から決して変化しない。従って、ANDゲートE2の出力端子をリード線 c_{i-1} に接続すればANDゲートE1及びORゲートE01及びE02を省略することができる。

従って、最高に減縮した実施例においては、回路BOA_{k+1, k}は単一インバータになり、回路BOA_{k, k}はORゲートE01, E02、ANDゲートE2、EXORゲートE03及びインバータ(EXORゲートE02の代り)を具えるだけであり、回路BOA_{k-1, k}はANDゲートE2とEXORゲートE03を具えるだけになり、半導体チップ上に小さな集積面積を必要とするだけとなる。回路BOA_{k-1, k}の制御入力端子及びデータ信号入力端子 b_i と回路BOA_{i, k-1}の桁上げ出力端子 q_{k-1} との相互接続は上述の減縮実施例では不要であるが桁上げ出力端子 q_{k-1} を回路BOA_{k-1, k+1}の b_i

出力は \bar{a}_i である。従って、加算/減算回路BOA_{k+1, k}($k=1, 2, 3, 4, \dots$)の各々は単一のインバータと置換することができ、これにより平開回路を累積するのに要する半導体面積をかなり節約することができる。

また、以上から、加算/減算回路BOA_{k, k}($k=1, 2, 3, 4, \dots$)の排他ORゲートE01は、2進値1(信号 b_i)を排他ORゲートE02及びANDゲートE1の入力端子に直接供給すれば省略することができることも明らかである(この場合加算/減算回路BOA_{k, k}をストレート全加算器に減縮できる)。しかし、ANDゲートE1の入力信号は常に“1”であるから、ゲートE02の出力はORゲートE01に直接接続したほうがよく、ANDゲートE1を省略することもできる。また、EXORゲートE02の代わりに単一インバータを使用することができる。

更に、加算/減算回路BOA_{1, 2}, BOA_{2, 3}, --- BOA_{k-1, k}は b_i -入力端子と p -入力端子に同一の信号を受信することに注意されたい。このことは排他ORゲートE01の出力が常に2進値“0”で

データ入力端子に直接接続する必要がある。

4. 図面の簡単な説明

第1図は可制御加算/減算セルを示す図、

第2図は本発明平開回路の一実施例を示す図である。

- BOA … 可制御加算/減算セル
- PA … 全加算回路
- a_i, b_i … 第1及び第2データ入力端子
- c_i … 桁上げ信号入力端子
- c_{i-1} … 桁上げ信号出力端子
- P … 制御入力端子
- S_i … 和信号出力端子
- E01, E02, E03 … 排他ORゲート
- E1, E2 … ANDゲート
- O1, O2 … ORゲート
- W … 平開回路
- S_1, S_2, S_3, S_4 … サブ回路
- q_1, \dots, q_k … 出力端子

